

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-050148

(43)Date of publication of application : 18.02.2000

(51)Int.Cl. H04N 5/232
H04N 5/222

(21)Application number : 10-210906 (71)Applicant : HITACHI DENSHI LTD

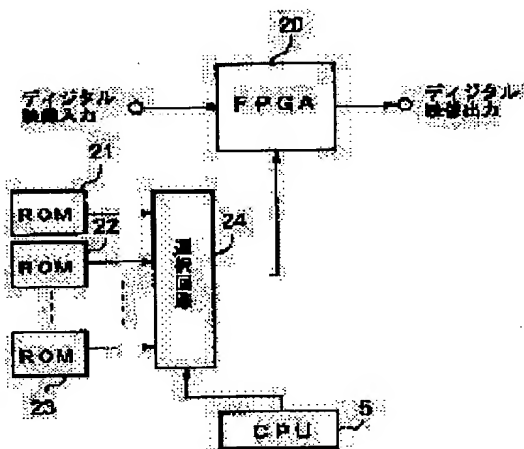
(22)Date of filing : 27.07.1998 (72)Inventor : ABE SHIGETO

(54) TELEVISION CAMERA DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a device capable of coping with changes of the number of pixels of a frame image, etc., by a small scale circuit and simplified structure of the device by making a field programmable logic device (FPGA) to be constituted as video signal processing circuit structure according to detected sampling clock rate.

SOLUTION: Clock rate of a video signal according to the changes of the number of pixels of the frame image or aspect ratio of a CCD is detected and detected information is outputted to a ROM selecting circuit 24 by a CPU part 5. Pieces of control data corresponding to each clock rate of the video signal are stored in ROMs 21 to 23, these pieces of the control data are outputted from each of the ROMs 21 to 23 and are inputted in the ROM selecting circuit 24. Structuring of logic for changing a filter coefficient and the number of taps, etc., of a digital filter is performed by selecting the control data from the ROMs 21 to 23 in this way by this device. Thus, internal logic structure of the FPGA 20 is structured to be suitable for each clock rate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

が変わると、信号処理回路の変更等が必要になる。

【0011】したがって従来の方法では、CCDに応じたフレーム画像の面積数又はアスペクト比に合わせてユニットを入れ替えるか、各信号処理回路1にあった複数のディジタル回路を具備しておく必要が生じ回路規模が膨大になる欠点を有した。

【0012】本発明は上記の問題を解決し、より小規模な回路やより簡単な装置構造でフレーム画像の面積数又はアスペクト比の変更に対応できるようにディジタル信号処理回路を有するテレビジョンカメラ装置の實現を目的とする。

【0013】
【課題を解決するための手段】本発明は上記の問題を解決するために、映像信号処理を行うテレビジョンカメラ装置において、前記映像信号のサンプリング・クロック・レベルを抽出し、映像信号処理回路を構成するフィールドプロセッサ・レベル（以下FPGA）の回路構成情報が前記抽出されたサンプリング・クロック・レベルに応じて選択され、該選択された回路構成情報がFPGAに前記抽出されたサンプリング・クロック・レベルに応じた映像信号処理回路構成になるようにしたものである。

【0014】また本発明は、前記映像信号のサンプリング・クロック・レベルを抽出する手段と、映像信号処理を行うための回路を構成するフィールドプロセッサ・レベル（以下FPGA）と、前記FPGAのため回路構成情報を記憶する手段と、前記抽出されたサンプリング・クロック・レベルに応じた回路構成情報を前記記憶手段から前記FPGAへ出力するよう制御する手段とを有し、前記FPGAは前記抽出されたクロック・レベルに応じた映像信号処理回路構成になるようにしたものである。

【0015】
【発明の実施の形態】本発明に関わるテレビジョンカメラ装置の実施例のブロック構成を図1に示し、以下この図を用いて詳しく説明する。CCD撮像素子（CCD）1からの出力映像信号はアナログ信号処理回路2に入力され、アナログ信号処理回路2で増幅処理等の必要な処理が施される。アナログ信号処理回路2で処理された映像信号は、A/D変換回路3に入力され、CCD1の駆動クロックと同じクロック・レベルをもってサンプリングされ、ディジタル信号に変換される。

【0016】A/D変換回路3でディジタル化された映像信号は、映像信号処理の内、CCD1において撮像されたフレーム画像の面積数又はアスペクト比によっては処理回路の構成を変更する必要がある信号処理を行うためのディジタル信号処理回路4へ入力される。このディジタル信号処理回路4で行われる映像信号処理は、CCD1の撮像されるフレーム画像の面積数又はアスペクト

比が変更されても、その変更に係らず共通に行われる映像信号処理である。

【0017】ディジタル信号処理回路4へ入力された映像信号は、所定の映像信号処理が施された後、後述のFPGAで構成されたディジタル信号処理回路5に供給される。さらにこの信号処理された映像信号はCPU部5に入力される。CPU部5は、入力された映像信号のサンプリング・クロック・レベルを抽出し、その抽出されたレベルを表すデータ・レベルを保持する。

【0018】ディジタル信号処理回路5は、上記CPU部5からの上記抽出されたレベルに応じ保持されたデータに基づく制御により、CCD1で撮像されたフレーム画像の面積数又はアスペクト比に応じたディジタル信号処理をおこなう。このディジタル信号処理回路5により処理が施された信号は、D/A変換（ディジタル・トク・アナログ変換）回路7やディジタルI/F（インターフェース）回路8を介し、テレビジョンカメラ装置の出力信号としてそれぞれアナログ映像出力信号又はディジタル映像出力信号とされて後段（図示せず）へ出力される。

【0019】ここで、FPGAの種類の一つである、「ROM（リード・オンリ・メモリ）ロードタイプ（あるいはSRAM（スタティック・ランダム・アクセス・メモリ）タイプとも称す）」と呼ばれるFPGAの構造と、このタイプのFPGAを用いた、CCDのフレーム画像の面積数又はアスペクト比に対応した信号処理回路変更の方法について、簡単に説明する。

【0020】ROMロードタイプのFPGAは、その内部ブロック構成例を説明するための図4に示すように、多数の処理回路セルと配線用スイッチングスタジアムとを有し、これらのスイッチングトランジスタのスイッチ状態が制御されることでその制御に応じた処理回路配線が再構築されるロジックセルアレイ部30と、このトランジスタスライスのスイッチ状態を制御するための制御データが記憶されるRAM部31と、電源投入時や外部から制御データがロードされるための命令信号が入力されたときに、このRAM部31に、例えば、外付けされたROMからのデータを群み込むロード回路部32より構成される。

【0021】このようなFPGAで構成された信号処理回路は、外付けROMから書き込まれるデータが変更されることで、自由に処理回路構成が変更できることになる。

【0022】本発明では、このFPGAの特徴を利用し、あらかじめ、複数の、すなわちn通りの映像信号のクロック・レベルにそれぞれ対応した処理回路を構成するための制御データが書き込まれたROMをテレビジョンカメラ装置に搭載する。そして、CPU部からの制御により、このROMに書き込まれた制御データの内、通り

がそれぞれのクロック・レベルに適した構成となるため、ユニットの交換や回路規模の大幅な増大を招くことなく、CCDのフレーム画像の面積数又はアスペクト比に適したディジタル信号処理が可能になる。

【0027】次に、本発明の第2の実施例を説明する。この実施例は、放送用テレビジョンカメラ装置によくみられる、カメラヘッドとカメラコントロールユニット（以下CCU）とに分離される形式のテレビジョンカメラ装置に本発明を用いた実施例である。ここで示すテレビジョンカメラシステムにおいては、複数のカメラヘッドが用いられる場合に、一つのCCUに、異なる面積数のCCDを有するカメラヘッドが複数接続され、それらカメラヘッドからCCUへ出力される映像信号同士のクロック・レベルが、異なる場合がある。

【0028】この実施例は、CCUへ、異なるクロック・レベルの映像信号がそれぞれ入力され、入力された映像信号の中から選択された映像信号について映像信号処理を行う場合に、その選択された映像信号に関するCCDのフレーム画像の面積数又はアスペクト比に適したディジタル信号処理に切り替えるCCUでその信号処理を行うことを可能にするものである。

【0029】以下、この実施例の構成と動作とを、図2を用いて説明する。10はカメラヘッドで、このカメラヘッド10において上述の第一の実施例と同様、CCD1から出力された映像信号はアナログ信号処理回路3に増幅等の必要な処理が施された後、A/D変換回路4に入力され、CCD駆動クロック・レベルと同じクロック・レベルでサンプリングされることでディジタル信号に変換される。A/D変換回路3でディジタル化された映像信号は、映像信号処理の内、CCD1の撮像されたフレーム画像の面積数又はアスペクト比によっては処理回路の構成を変更する必要がある信号処理を行うためのディジタル信号処理回路4へ入力される。

【0030】ディジタル信号処理回路4で信号処理された出力された映像信号は、CCU面積数及びアスペクト比情報を含むCPU部12から出力されるデータ信号と共に、ディジタル信号処理ユニット13に入力され、多重される。ディジタル信号処理ユニット13で多重された信号は、カメラヘッド10から出力されて、CCU11へ伝送される。

【0031】このCCU11では、カメラヘッド10からの信号を入力する。さらに、カメラヘッド10'あるいはカメラヘッド10"からも同様な信号を入力する。それら複数のカメラヘッドから伝送されてきた信号は、CCU11のディジタル信号処理ユニット14に入力される。

【0032】このディジタル信号処理ユニット14では、複数のカメラヘッドから入力された信号の内、所定の信号を選択して、その選択された信号からCPU部12からのデータ信号と、映像信号とを分離する。そし

に応じて選択する。そして、選択された制御データがFPGAにロードすることで、CCDのフレーム画像の面積数又はアスペクト比に適したディジタル信号処理を行うための映像信号処理回路を実現するための処理回路構成が、FPGAの内部に構成可能となる。

【0023】以下、図1において点線で囲われている、CPU部5とディジタル信号処理回路6とからなる回路ブロックの構成例を示す図3を用いて、その動作を説明する。CPU部5はCCDのフレーム画像の面積数又はアスペクト比の変更に応じ、映像信号のクロック・レベルを抽出し、その抽出情報をROM選択回路24へ出力する。ROM選択回路24は複数のROMが接続される。それらn個のROM21～ROM23には、映像信号の各クロック・レベルにそれぞれ対応する制御データが記憶されており、それら制御データがそれぞれのROMから出力されてROM選択回路24へ入力される。ROM選択回路24では、CPU部5から入力された抽出情報に基づき、n個のROM21～ROM23の内、後述されたクロック・レベルに対応した制御データが記憶されているROMから出力された制御データを選択してFPGA20へ出力する。そうすることで、CCD面積数又はフレーム画像のアスペクト比に適した制御データの入ったROMの出力が選択されるので、テレビジョンカメラ装置の電源投入時や、FPGA20に対する制御データの再ロードを指示するロード命令が得られたときには、その選択された制御データがFPGA20にロードされる。

【0024】ここで、例えば、ディジタル映像信号処理回路6の回路変更を行わずに、映像信号のクロック・レベル、すなわちクロック周期が変更された場合について、ディジタル映像信号処理回路6で実現しているディジタルフィルタ特性の変化について説明する。クロック・レベル変更前の映像信号に対しては、例えば、図5の(A)に示すようなフィルタリング特性を示すディジタルフィルタ回路が、ディジタル映像信号処理回路6でもちいられていたとすると、ここで、クロック・レベルが変更されて、例えば、クロック・レベルが大きくなる場合は、図5の(B)に示すように、その特性が変化してしま

う。

【0025】従って本発明では、映像信号のクロック・レベルが変更がおこなわれ、その変換の後においても、クロック・レベル変換前のディジタルフィルタ特性と同じディジタルフィルタの特性を、ディジタル映像信号処理回路6で実現するためには、そのディジタルフィルタのフィルタ係数値や、タップ数などを変更することで、同一のフィルタ特性が得られるようにする。

【0026】本発明では、上述のディジタルフィルタのフィルタ係数値や、タップ数などの変更を行うための処理回路構成を、ROM21～ROM23からの制御データを選択することで、FPGA20の内部処理回路構成

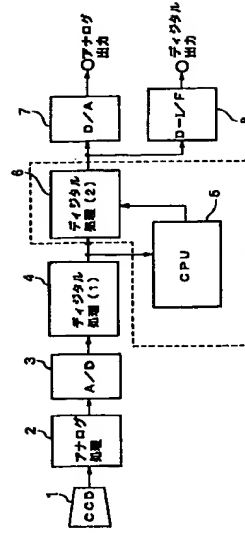
て、分離されたデータ信号をCPU部15へ出力し、分離された映像信号をROMロードタイプFPGAを用いたデジタル信号処理回路6へ出力する。なお、このデジタル信号処理回路6の構成は、図3に示した第一の実施例のデジタル信号処理回路6と全く同じである。そして、このデジタル信号処理回路6は、CPU部15の制御により、上記選択されたカメラヘッドからの映像信号のクロックレートに応じた信号処理を行う。

【0033】このように処理されたデジタル映像信号17はD/A変換器7でアナログ映像出力信号に変換される。あるいはデジタルI/F回路8を介して、デジタル映像出力信号として後段（図示せず）へ出力される。

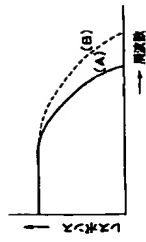
【0034】以上のように、従来のシステムで必要としたユニットの入替え機能や、複数の回路を並列に設けて回路構成を拡大なものとすることなく、同一のCCUに異なる面積のCCDをもつカメラヘッドを複数接続することが可能となり、カメラシステムの運用性を大幅に向上させることができる。

【0035】なお、以上の説明ではROMに格納されたデータに基づき、CCDの画素数に通じたデジタル信号処理を行う素子にFPGAを用いたが、DSP（デジタルシグナルプロセッサ）を代わりに用いても、同様の効果を得ることが可能である。

【図1】



【図5】



【0036】

【発明の効果】以上説明したように、本発明によれば、CCDの画素数又はフレーム映像のアスペクト比に通じたデジタル信号処理を簡単に行うことが可能となり、かつ、装置の小型化・低コスト化と共に、システムの運用性向上を図ることができる。

【図面の簡単な説明】

【図1】本発明のテレビジョンカメラ装置の一実施例のブロック構成を示す図

【図2】本発明のテレビジョンカメラ装置の他の一実施例のブロック構成を示す図

【図3】本発明に係わるデジタル信号処理回路のブロック構成例を示す図

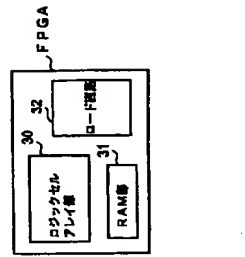
【図4】ROMロードタイプのFPGAの内部ブロック構成例を示す図

【図5】デジタルフィルタの周波数特性を説明するための図

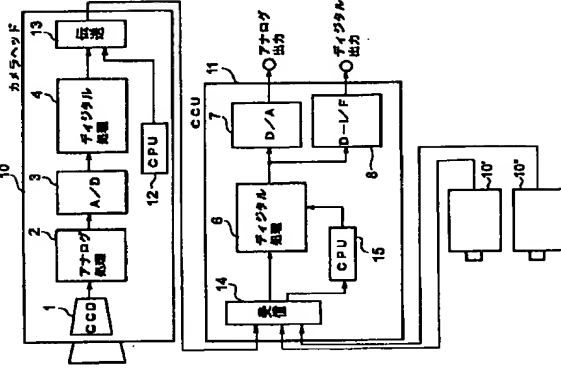
【符号の説明】

1：CCD撮像素子、2：A/D変換回路、3：デジタル信号処理回路、4：D/A変換回路、5：12、15：CPU部、6、16：デジタル信号処理回路、7：D/L/F変換回路、8：デジタルインタフェース回路。

【図4】



【図2】



【図3】

